

## Patent Abstracts of Japan

BEST AVAILABLE COPY

PUBLICATION NUMBER : 05343674  
PUBLICATION DATE : 24-12-93

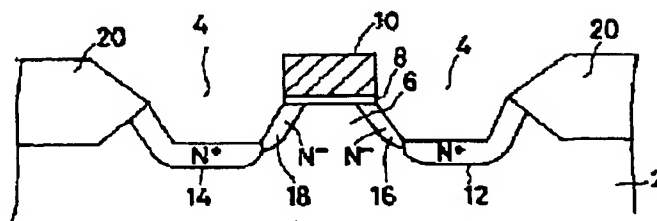
APPLICATION DATE : 10-06-92  
APPLICATION NUMBER : 04177342

APPLICANT : RICOH CO LTD;

INVENTOR : SHIOJIRI KAZUYA;

INT.CL. : H01L 29/784

TITLE : SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD  
THEREOF



ABSTRACT : PURPOSE: To lessen the short channel effect by suppressing the extension of a depletion layer within a MOS transistor in the structure wherein recessions are formed in a substrate while the substrate on a gate electrode forming part is raised.

CONSTITUTION: Recessions 4a are formed in source/drain regions in a P type silicon substrate 2 while a channel forming part becomes a raised part 6a on whose crest part a gate electrode 10 is formed through the intermediary of a gate oxide film 8. On the other hand, high doped source/drain regions 12, 14 are formed on the bottom parts of the recessions 4a while low doped source/drain regions 16, 18 are formed on the sides of the raised part 6a so as to form an LDD structured MOS transistor. Furthermore, a P type impurity diffused regions 26 in the same conductivity type as that of the substrate 2 but higher impurity concentration than that of the substrate 2 is formed in the deep position of the raised part 6a so as to suppress the extension of a depletion layer.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-343674

(43) 公開日 平成5年(1993)12月24日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		7377-4M	H 0 1 L 29/78	3 0 1 S
		7377-4M		3 0 1 H

審査請求 未請求 請求項の数9(全10頁)

(21) 出願番号 特願平4-177342

(22) 出願日 平成4年(1992)6月10日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 福島 康

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 小西 淳一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 種田 敏彦

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 弁理士 野口 繁雄

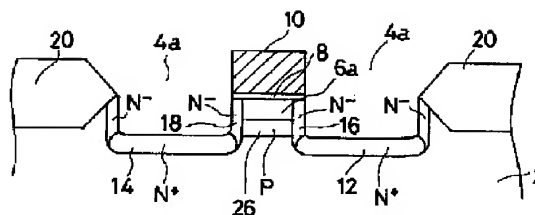
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 基板に凹部を形成し、ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタにおいて、空乏層の伸びを抑えて短チャネル効果を抑制する。

【構成】 P型シリコン基板2にはソース・ドレイン領域に凹部4aが形成され、チャネルが形成される部分が隆起部6aとなり、隆起部6aの頂部にはゲート酸化膜8を介してゲート電極10が形成されている。凹部4の底部には高濃度ソース・ドレイン領域12、14が形成され、隆起部6の側面には低濃度ソース・ドレイン領域16、18が形成されてLDD構造のMOSトランジスタが形成されている。空乏層の伸びを抑えるために基板2と同じ導電型で基板2よりも不純物濃度の高いP型不純物拡散領域26が、隆起部6aの深い位置に形成されている。



## 【特許請求の範囲】

【請求項1】 シリコン基板の活性領域の中央部に両側の基板面から傾斜面をもって隆起する断面形状が台形の隆起部が形成され、その隆起部の頂部にゲート絶縁膜を介してゲート電極が形成されており、前記隆起部より低い前記基板面には高不純物濃度のソース・ドレインが形成され、前記隆起部の斜面には低不純物濃度のソース・ドレインが形成されていることを特徴とする半導体装置。

【請求項2】 シリコン基板の活性領域の中央部に両側の基板面から隆起した隆起部が形成され、その隆起部の頂部にゲート絶縁膜を介してゲート電極が形成されており、前記隆起部より低い前記基板面には高不純物濃度のソース・ドレインが形成され、前記隆起部の側面には低不純物濃度のソース・ドレインが形成されており、前記高不純物濃度のソース・ドレイン領域と基板との間に基板と同じ導電型の不純物領域が形成されていることを特徴とする半導体装置。

【請求項3】 シリコン基板の活性領域の中央部に両側の基板面から隆起した隆起部が形成され、その隆起部の頂部にゲート絶縁膜を介してゲート電極が形成されており、前記隆起部より低い前記基板面には高不純物濃度のソース・ドレインが形成され、前記隆起部の側面には低不純物濃度のソース・ドレインが形成されており、前記隆起部の深い位置に基板と同じ導電型の不純物領域が形成されていることを特徴とする半導体装置。

【請求項4】 以下の工程(A)から(C)を含む半導体装置の製造方法。

(A) シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターン化してゲート電極を形成する工程、

(B) 更にゲート絶縁膜及び基板もエッチングして基板に隆起部と凹部とを形成する工程、

(C) ソース・ドレイン用の不純物を基板表面の法線方向に対して傾いた方向からイオン注入し、かつ注入過程で基板を基板面内で回転させることにより、前記凹部底部に高濃度不純物領域を形成し、前記隆起部側面に低濃度不純物領域を形成する工程。

【請求項5】 以下の工程(A)から(C)を含む半導体装置の製造方法。

(A) シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターン化してゲート電極を形成する工程、

(B) 更にゲート絶縁膜及び基板もエッチングして基板に隆起部と凹部とを形成する工程、

(C) ソース・ドレイン用に拡散係数の異なる2種類の不純物をほぼ基板表面の法線方向からイオン注入し、熱処理により拡散させて前記凹部底部に高濃度不純物領域

を形成し、前記隆起部側面に低濃度不純物領域を形成する工程。

【請求項6】 以下の工程(A)から(E)を含む半導体装置の製造方法。

(A) シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターン化してゲート電極を形成し、更にゲート絶縁膜もエッチングする工程、

(B) アルカリ性エッチング液を用いて基板をエッチングすることにより、基板に凹部を形成するとともに断面形状が台形の隆起部を形成する工程、

(C) ソース・ドレイン用の不純物を隆起部の斜面に対してほぼその法線方向から低濃度にイオン注入する工程、

(D) その後、絶縁膜を形成してエッチバックを施すことによりゲート電極側面から前記隆起部側面に掛けて絶縁膜の側壁を形成する工程、

(E) その絶縁膜の側壁をマスクとしてソース・ドレイン用の不純物をほぼ基板表面の法線方向から高濃度に注入する工程。

【請求項7】 以下の工程(A)から(F)を含む半導体装置の製造方法。

(A) シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターン化してゲート電極を形成し、更にゲート絶縁膜もエッチングする工程、

(B) アルカリ性エッチング液を用いて基板をエッチングすることにより、基板に凹部を形成するとともに断面形状が台形の隆起部を形成する工程、

(C) ソース・ドレイン用の不純物を隆起部の斜面に対してほぼその法線方向から低濃度にイオン注入する工程、

(D) ソース・ドレイン用の不純物をほぼ基板表面の法線方向から中濃度にイオン注入する工程、

(E) その後、絶縁膜を形成してエッチバックを施すことによりゲート電極側面から前記隆起部側面に掛けて絶縁膜の側壁を形成する工程、

(F) その絶縁膜の側壁をマスクとしてソース・ドレイン用の不純物をほぼ基板表面の法線方向から高濃度に注入する工程。

【請求項8】 以下の工程(A)から(E)を含む半導体装置の製造方法。

(A) シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程、

(B) その後、ソース・ドレイン領域の基板をエッチングして基板に凹部を形成する工程、

(C) 基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン注入する工程、

(D) 基板と反対導電型の不純物を基板表面の法線に対して高角度の斜め回転注入法により低濃度にイオン注入

する工程、

(E) 基板と反対導電型の不純物をほぼ基板表面の法線方向から高濃度に、かつ基板と同じ導電型の前記不純物注入層よりも浅くイオン注入する工程。

【請求項9】 以下の工程(A)から(E)を含む半導体装置の製造方法。

(A) 基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン注入する工程、

(B) シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程、

(C) その後、ソース・ドレイン領域の基板をエッチングして基板に凹部を形成する工程、

(D) 基板と反対導電型の不純物を基板表面の法線に対して高角度の斜め回転注入法により低濃度にイオン注入する工程、

(E) 基板と反対導電型の不純物をほぼ基板表面の法線方向から高濃度にイオン注入する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はソース・ドレイン領域のチャンネル側に低濃度不純物領域をもつLDD構造と称されるMOSトランジスタとその製造方法に関するものである。

【0002】

【従来の技術】 LSIの高集積化や遅延時間の短縮のために素子の微細化が進んでいる。MOSトランジスタの場合、微細化に伴ないホットキャリアによる特性劣化が起こる。その対策としてLDD構造が使用されてきた。LDD構造においては、ソース・ドレイン領域の低濃度不純物領域のチャンネル長さ方向の長さを長くしたり、低濃度不純物領域のピーク位置を深くすることによりホットキャリア耐圧が向上することが知られている。

【0003】 従来のLDD構造の製造方法は、ゲート電極をマスクとして基板にソース・ドレイン用の不純物を低濃度にイオン注入した後、ゲート電極の側面に絶縁物の側壁スペーサを形成し、それをマスクにして基板にソース・ドレイン用の不純物を高濃度にイオン注入する。低濃度不純物拡散領域を長くしようとすれば絶縁物の側壁スペーサ幅を広くする必要がある。CVD法により絶縁膜を堆積し、それをエッチバックして側壁スペーサを形成する方法では側壁スペーサ幅を広くするには絶縁膜の膜厚を厚くしなければならない。しかし、微細化により隣接するゲート電極の間隔が狭くなってくると、絶縁膜を厚く堆積するとゲート電極間が埋め込まれ、側壁スペーサを形成することができなくなる。また、低濃度不純物層のピーク位置を深くしようとすれば低濃度不純物領域用のイオン注入時の注入エネルギーを大きくしなければならない。しかし、ゲート電極をマスクとして自己整合的にイオン注入を行なう方法では、注入エネルギーを大きくしすぎるとそのソース・ドレイン用の不純物イ

オンがゲート電極を突き抜けてチャンネル領域に注入されてしまう。

【0004】 一方、シリコン基板上にゲート絶縁膜を介してポリシリコンのゲート電極を形成した後、更にエッチングを施してゲート電極の外側のゲート絶縁膜とシリコン基板をエッチングすることにより基板に凹部と隆起部とを形成し、不純物イオンを基板表面の法線方向から傾けて注入することにより、その隆起部の側壁に低濃度の拡散層を形成したLDD構造のMOSトランジスタが提案されている(特開平2-5436号公報参照)。その提案のように、隆起部の側壁にLDDの低濃度不純物拡散領域を形成することにより、トランジスタが基板上で占有する面積が小さくなるだけでなく、従来の平面状LDD構造と比べて電子がゲート絶縁膜から離れて深いところを通過するようになるのでホットエレクトロンの発生を一層有効に抑えることができる効果もある。

【0005】

【発明が解決しようとする課題】 本発明の第1の目的は、基板に凹部を形成し、ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタで、LDDの低濃度不純物拡散領域の長さをより長くすることを目的とするものである。本発明の第2の目的は、基板に凹部を形成し、ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタにおいて、空乏層の伸びを抑えて短チャネル効果を抑制することである。

【0006】 本発明の第3の目的は、基板に凹部を形成し、ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタを引用例よりも少ない工程数で形成することにある。本発明の第4の目的はゲート電極が形成される部分の基板隆起部の断面形状を台形にしたMOSトランジスタを製造する方法を提供することである。本発明の第5の目的は、基板に凹部を形成し、ゲート電極が形成される部分の基板を隆起させ、かつ空乏層の伸びを抑えたLDD構造のMOSトランジスタを製造する方法を提供することである。

【0007】

【課題を解決するための手段】 LDD構造の低濃度不純物拡散領域の長さをより長くするために、本発明の半導体装置では、シリコン基板の活性領域の中央部に両側の基板面から傾斜面をもって隆起する断面形状が台形の隆起部が形成され、その隆起部の頂部にゲート絶縁膜を介してゲート電極が形成されており、隆起部より低い基板面には高不純物濃度のソース・ドレインが形成され、隆起部の斜面には低不純物濃度のソース・ドレインが形成されている。

【0008】 空乏層の伸びを抑えるために、本発明の半導体装置では、シリコン基板の活性領域の中央部に両側の基板面から隆起した隆起部が形成され、その隆起部の頂部にゲート絶縁膜を介してゲート電極が形成されており、隆起部より低い基板面には高不純物濃度のソース・

ドレインが形成され、隆起部の側面には低不純物濃度のソース・ドレインが形成されており、高不純物濃度のソース・ドレイン領域と基板との間又は隆起部の深い位置に基板と同じ導電型の不純物領域が形成されている。

【0009】ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタを引用例よりも少ない工程数で形成するために、本発明の製造方法は、以下の工程(A)から(C)を含んでいる。(A)シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターナ化してゲート電極を形成する工程、(B)更にゲート絶縁膜及び基板もエッチングして基板に隆起部と凹部とを形成する工程、(C)ソース・ドレイン用の不純物を基板表面の法線方向に対して傾いた方向からイオン注入し、かつ注入過程で基板を基板面内で回転させるか、又はソース・ドレイン用に拡散係数の異なる2種類の不純物をほぼ基板表面の法線方向からイオン注入し、熱処理により拡散させることにより、凹部底部に高濃度不純物領域を形成し、前記隆起部側面に低濃度不純物領域を形成する工程。

【0010】ゲート電極が形成される部分の基板隆起部の断面形状を台形にしたMOSトランジスタを製造するために、本発明は以下の工程(A)から(E)を含んでいる。(A)シリコン基板上にゲート絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜をパターン化してゲート電極を形成し、更にゲート絶縁膜もエッチングする工程、(B)アルカリ性エッチング液を用いて基板をエッチングすることにより、基板に凹部を形成するとともに断面形状が台形の隆起部を形成する工程、(C)ソース・ドレイン用の不純物を隆起部の斜面に対してほぼその法線方向から低濃度にイオン注入する工程、(D)その後、絶縁膜を形成してエッチバックを施すことによりゲート電極側面から前記隆起部側面にかけて絶縁膜の側壁を形成する工程、(E)その絶縁膜の側壁をマスクとしてソース・ドレイン用の不純物をほぼ基板表面の法線方向から高濃度に注入する工程。

【0011】基板隆起部の断面形状を台形にしたMOSトランジスタを製造する好ましい態様では、ソース・ドレイン用の不純物を隆起部の斜面に対してほぼその法線方向から低濃度にイオン注入した後、ソース・ドレイン用の不純物をほぼ基板表面の法線方向から中濃度にイオン注入する工程を更に含んでいる。

【0012】空乏層の伸びを抑えたLDD構造のMOSトランジスタを製造するために、本発明は、以下の工程(A)から(E)を含んでいる。(A)シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程、

(B)その後、ソース・ドレイン領域の基板をエッチングして基板に凹部を形成する工程、(C)基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン

注入する工程、(D)基板と反対導電型の不純物を基板表面の法線に対して高角度の斜め回転注入法により低濃度にイオン注入する工程、(E)基板と反対導電型の不純物をほぼ基板表面の法線方向から高濃度に、かつ基板と同じ導電型の前記不純物注入層よりも浅くイオン注入する工程。

【0013】空乏層の伸びを抑えたLDD構造のMOSトランジスタを製造するために、本発明の他の態様では、以下の工程(A)から(E)を含んでいる。(A)基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン注入する工程、(B)シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程、(C)その後、ソース・ドレイン領域の基板をエッチングして基板に凹部を形成する工程、(D)基板と反対導電型の不純物を基板表面の法線に対して高角度の斜め回転注入法により低濃度にイオン注入する工程、(E)基板と反対導電型の不純物をほぼ基板表面の法線方向から高濃度にイオン注入する工程。

【0014】イオン注入に際しては、基板2の表面の法線方向から注入する場合でも、チャネリングを防ぐために基板表面の法線に対して数度〜10度傾けながら基板2を回転させるのが一般的である。したがって、「ほぼ基板表面の法線方向」とは、チャネリングを防ぐために基板表面の法線方向から数度〜10度程度傾いた斜め回転注入を含んでいる。「基板」はシリコン基板自体を指す場合だけでなく、MOSトランジスタが基板に形成されたウエルに形成される場合にはウエルも含んでいる。

【0015】

【実施例】図1は第1の実施例を表わす。P型シリコン基板2にはソース・ドレイン領域に凹部4が形成され、チャンネルが形成される部分が隆起部6となっている。隆起部6のチャンネル長方向の断面形状は台形状である。その隆起部6の頂部にはゲート酸化膜8を介してポリシリコンにてなるゲート電極10が形成されている。基板2に形成された凹部4の深さは1000〜数1000Åである。このような形状の凹部4はアルカリ性エッチング液を用いた異方性エッチングにより形成されることが知られており、(100)面をもつシリコン基板をアルカリ性エッチング液でエッチングすると(111)面を側面にもった断面V字形の凹部が形成される。

【0016】凹部4の底部には砒素やリンなどのN型不純物が高濃度に導入された不純物濃度の高いソース・ドレイン領域12、14が形成されており、隆起部6の側面にはN型不純物が低濃度に導入されたソース・ドレイン領域16、18が形成されている。高濃度ソース・ドレイン領域12、14と低濃度ソース・ドレイン領域16、18によりLDD構造のMOSトランジスタが形成されている。図示は省略されているが、MOSトランジスタとしてはさらに層間絶縁膜が形成され、層間絶縁膜のコンタクトホールを介してメタル配線がソース・ドレ

イン領域やゲート電極と接続されている。図1の実施例のように隆起部6の側面が傾斜していることにより低濃度ソース・ドレイン領域16, 18の長さが長くなり、チャンネルでの電界の集中をより緩和することができる。

【0017】図2は第2の実施例を表わす。図2では凹部4aの形状が図1の凹部4と異なっており、隆起部6aはその側面が基板面に対して垂直方向に形成されている。この場合も凹部4aの底部にはN型の高濃度不純物拡散層によるソース・ドレイン領域12, 14が形成され、隆起部6aの側面には低濃度不純物拡散層によるソ

ース・ドレイン領域16, 18が形成されてLDD構造のMOSトランジスタが構成されている。高濃度ソース・ドレイン領域12, 14と基板2との間に、基板2と同じ導電型で基板2よりも不純物濃度の高いP型不純物

拡散領域22, 24が形成されている。P型拡散領域22, 24を設けることにより空乏層の伸びが抑えられ、短チャネル効果が抑制される。

【0018】図3は第3の実施例を表わす。図2の実施例と比較すると、空乏層の伸びを抑えるための基板2と同じ導電型で基板2よりも不純物濃度の高いP型不純物

拡散領域26は、隆起部6aの深い位置に形成されている。

【0019】図4は基板2に凹部を形成し、隆起部の頂部にゲート酸化膜を介してゲート電極をもつLDD構造のMOSトランジスタを少ない工程数で製造する製造方法を示したものである。

(A) P型シリコン基板2の表面に素子分離用フィールド酸化膜(図示略)を形成し、膜厚が例えば約150Åのゲート酸化膜8を形成し、その上にゲート電極用に膜厚が約3000Åで低抵抗化されたポリシリコン膜10

を形成する。  
(B) ポリシリコン膜10上にフォトレジスト膜を形成し、写真製版によりゲート電極形状のフォトレジストパターン28を形成する。  
(C) レジストパターン28をマスクにしてポリシリコン膜10をエッチングしてパターン化し、更にゲート酸化膜8もエッチングによりパターン化し、更に基板2も1000Å~3000Å、例えば2000Åの深さにエッチングする。

【0020】(D) 砒素などのN型不純物イオンを基板2の表面の法線方向から傾いた方向からドーズ量 $1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ でイオン注入する。この時基板3を面内で回転させる。

(E) 熱処理を施してイオン注入された不純物を活性化させ、かつ拡散させる。これにより凹部の底部では高濃度不純物拡散領域12, 14が形成され、隆起部6aの側面では低濃度不純物拡散領域16, 18が形成される。

図4の方法では凹部の底部に形成される高濃度不純物拡散領域12, 14と隆起部6aの側面に形成される低濃

度不純物拡散領域16, 18のためのイオン注入を1度の斜め回転注入によりすすむことができる。

【0021】図5は図4と同様のLDD構造を異なる工程で製造する方法で示したものである。

(A) ゲート電極10を形成し、基板2に凹部を形成するところまでは図4と同じである。

基板2にN型不純物で拡散係数の異なるリンと砒素を注入する。この注入は基板2の表面のほぼ法線方向から行うが、チャネリングを防ぐために基板表面の法線に対して数度~10度傾けながら基板2を回転させる。

(B) 熱処理を施し、注入された不純物の活性化と拡散を行わせてLDD構造とする。

図4と図5の製造方法では、ゲート電極が形成される部分の基板を隆起させたLDD構造のMOSトランジスタを少ない工程数で実現することができる。

【0022】図6は図1の実施例を製造する方法を示したものである。

(A) 図4の方法と同様にして素子分離用フィールド酸化膜で分離された活性領域の基板2上にゲート酸化膜8を形成し、その上にポリシリコン膜10を形成し、その上にゲート電極用レジストパターン28を形成する。

(B) レジストパターン28をマスクにしてポリシリコン膜10とゲート酸化膜8をエッチングした後、基板2をアルカリ性エッチング液でエッチングする。基板2は(100)面をもつシリコン基板とすると、(111)面を側面にもつようにエッチングが進行して断面が台形の隆起部6が形成される。

【0023】(C) 基板表面の法線方向から傾いた方向からN型不純物のリン又は砒素を注入する。この時基板は面内で回転させる。注入量は $1 \sim 3 \times 10^{13} / \text{cm}^2$ 程度とする。これはLDD構造の低濃度不純物拡散領域を形成するための注入である。

(D) 従来のようにPSG膜などの絶縁膜を堆積し、エッチバックを施すことによりゲート電極10の側面から隆起部6の側面に掛けて絶縁膜の側壁30を形成する。

(E) 側壁30をマスクにして基板2にN型不純物のリン又は砒素をほぼ基板表面の法線方向から注入する。この時の注入量は $1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ とする。熱拡散を施すことにより図1のLDD構造のMOSトランジスタが得られる。

【0024】図7は図1の実施例を更に改良したLDD構造を得るための製造方法を表わしたものである。

(A) 活性領域にゲート酸化膜を介してゲート電極を形成し、基板2に凹部を形成してチャンネル領域に隆起部6を形成するところまでは図6(A), (B)と同じである。

(B) 斜め回転イオン注入により隆起部の側面に低濃度不純物拡散領域のための斜め回転イオン注入を行うところも図6(C)と同じである。

【0025】(C) ほぼ基板表面の法線方向からN型不

純物のリン又は砒素を中濃度でイオン注入する。

(D) 図6と同様に絶縁膜の側壁30を形成する。

(E) その側壁30をマスクにして基板2にN型不純物のリン又は砒素を高濃度に注入する。この工程も図6と同じである。

図7では工程(C)で中濃度のN型不純物を注入する工程を追加したことが新しい。中濃度とは(B)での低濃度と(E)での高濃度との中間濃度である。図7により得られるLDD構造では、ソース・ドレイン領域が高濃度と低濃度の中間に更に中濃度の拡散領域を有するので、チャンネルの水平方向の電界の集中を一層緩和することができる。

【0026】図8は図2の実施例を製造する方法を示したものである。

(A) 素子分離用フィールド酸化膜20で分離されたP型シリコン基板2(比抵抗 $5\sim 20\Omega\text{cm}$ )の活性領域に、膜厚が約 $150\text{\AA}$ のゲート酸化膜8を形成し、その上に膜厚が約 $3000\text{\AA}$ のポリシリコン膜を堆積し、写真製版によりゲート電極形状のレジストパターン28を形成し、そのレジストパターン28をマスクにしてポリシリコン膜をエッチングしてゲート電極10を形成する。

(B) ゲート酸化膜8をエッチングし、更に基板2を深さ $1000\sim 3000\text{\AA}$ 、例えば約 $2000\text{\AA}$ の深さにエッチングする。これにより基板に凹部4aが形成され、ゲート電極10の下部には隆起部6aが形成される。ここまでは図4の工程と同じである。

【0027】(C) 基板2と同じ導電型のボロンイオンをドーズ量 $1\times 10^{13}\sim 5\times 10^{13}/\text{cm}^2$ で接合深さが約 $0.4\mu\text{m}$ になるようにイオン注入を施す。この時のイオン注入は基板2を斜めにしてイオン入射方向が基板表面の法線から7度程度傾くようにし、基板2を面内で回転させて行う。この斜め回転注入はチャネリングを防止するためのものである。これにより基板2の凹部にはP型の低濃度不純物拡散領域22、24が形成される。

(D) リンイオンをドーズ量 $1\times 10^{13}\sim 3\times 10^{13}/\text{cm}^2$ で、接合深さが約 $0.2\mu\text{m}$ になるように斜め回転イオン注入する。この時のイオン入射角は基板2の表面の法線に対して約 $30$ 度傾いた方向とし、基板2を面内で回転させる。これにより隆起部6aの側面を含む凹部にN型低濃度不純物拡散領域16、18が形成される。

(E) 砒素イオンをドーズ量 $1\times 10^{15}\sim 10\times 10^{15}/\text{cm}^2$ で接合深さが約 $0.2\mu\text{m}$ となるように注入する。この注入は基板表面の法線方向から行ってもよく、チャネリングを防ぐために7度程度傾けた斜め回転注入法で行ってもよい。これによりN型高濃度不純物拡散領域12、14が形成される。注入されたイオンを熱処理により活性化し拡散させれば、図2のLDD構造とな

る。

【0028】図9は図3の実施例を製造する方法を示したものである。

(A) 素子分離用フィールド酸化膜20で囲まれた活性領域にボロンイオンを $1\times 10^{13}\sim 5\times 10^{13}/\text{cm}^2$ で、注入深さが $0.2\sim 0.3\mu\text{m}$ のディープチャネルドープ領域26を形成する。

(B) ボロンイオン注入の際存在した活性領域の酸化膜を除去した後、ゲート酸化膜8を形成し、ポリシリコン膜を堆積し、写真製版とエッチングによりポリシリコンゲート電極10を形成する。28はゲート電極形成用のレジストパターンである。

【0029】(C) ゲート酸化膜8とシリコン基板2をエッチングし、深さが $0.3\sim 0.5\mu\text{m}$ の凹部4aを形成する。これによりディープチャネルドープ領域26は隆起部6aの基端部付近に存在するようになる。

(D) リンイオンをドーズ量 $1\times 10^{13}\sim 3\times 10^{13}/\text{cm}^2$ で接合深さが約 $0.2\mu\text{m}$ になるように斜め回転イオン注入する。この時のイオンの入射方向は基板表面の法線方向から約 $30$ 度傾いた方向とする。

(E) 砒素イオンをドーズ量 $1\times 10^{15}\sim 10\times 10^{15}/\text{cm}^2$ で接合深さが約 $0.2\mu\text{m}$ となるようにイオン注入を施す。この時のイオン注入は基板表面の法線方向又はチャネリングを防ぐために7度程度傾けた方向とする。これにより凹部の底部に高濃度N型不純物拡散領域12、14が形成される。その後、熱処理を施すことにより図3のLDD構造が得られる。

【0030】図8又は図9の製造方法で、それぞれの工程(D)と工程(E)の間に基板表面を非晶質化するためにシリコンイオンを注入する工程を追加してもよい。そのシリコンイオン注入工程を追加して基板表面を非晶質化することにより、工程(E)で砒素イオンを基板表面の法線方向から注入してもチャネリング現象を防ぐことができるようになる。本発明は実施例に限定されるものではない。例えば形成されるMOSトランジスタの導電型をP型にしたり、基板にウエルを形成してCMOSを形成したり、1チップ内に他の種類の半導体装置、例えばバイポーラトランジスタも形成するなど、特許請求の範囲に基づいて種々に変更することができる。当業者によるそのような変更はこの発明の技術的範囲に属するものである。

【0031】

【発明の効果】本発明により、チャンネルが形成される部分の基板を断面形状が台形になるように隆起させ、その隆起部の斜面にLDD構造の低濃度不純物拡散領域を形成すれば、低濃度不純物拡散領域の長さが長くなり、チャンネルでの電界の集中をより緩和することができる。本発明により、チャンネルが形成される部分の基板を隆起させ、その隆起部の側面にLDD構造の低濃度不純物拡散領域を形成するとともに、高不純物濃度のソース・ドレ



イン領域と基板との間又は隆起部の基端部に基板と同じ導電型の不純物領域を形成すれば、空乏層の伸びが抑えられ、短チャネル効果が抑制される。本発明の製造方法により、基板に凹部を形成してチャネルが形成される部分の基板を隆起させ、ソース・ドレイン用の不純物を基板表面の法線方向に対して傾いた方向からイオン注入し、かつ注入過程で基板を基板面内で回転させるか、又はソース・ドレイン用に拡散係数の異なる2種類の不純物をほぼ基板表面の法線方向からイオン注入し、熱処理により拡散させることにより、ゲート電極が形成される部分の基板を隆起させた構造のMOSトランジスタを少ない工程数で形成することができる。

【0032】本発明の製造方法により、ゲート電極を形成し更にゲート絶縁膜もエッチングした後、アルカリ性エッチング液を用いて基板をエッチングすることにより、基板に凹部を形成するとともに断面形状が台形の隆起部を形成することができ、ゲート電極が形成される部分の基板隆起部の断面形状を台形にしたMOSトランジスタを製造することができる。本発明の製造方法により、基板に凹部を形成してチャネルが形成される部分の基板を隆起させ、ソース・ドレイン用の不純物を注入する前に、基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン注入することにより、空乏層の伸びを抑えたLDD構造のMOSトランジスタを製造することができる。本発明の製造方法により、基板と同じ導電型の不純物をほぼ基板表面の法線方向から深くイオン注入した後に、基板に凹部を形成してチャネルが形成される部分の基板を隆起させ、ソース・ドレイン用の不純物を注入することによっても、空乏層の伸びを抑えたLDD構造のMOSトランジスタを製造することができ

る。

【図面の簡単な説明】

【図1】第1の実施例を示す要部断面図である。

【図2】第2の実施例を示す要部断面図である。

【図3】第3の実施例を示す要部断面図である。

【図4】製造方法の第1の実施例を示す工程断面図である。

【図5】製造方法の第2の実施例を示す要部工程断面図である。

【図6】図1のMOSトランジスタの製造方法を示す工程断面図である。

【図7】図1のMOSトランジスタを改良したMOSトランジスタの製造方法を示す工程断面図である。

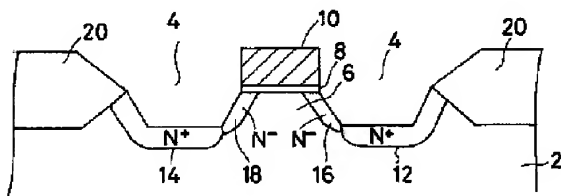
【図8】図2のMOSトランジスタの製造方法を示す工程断面図である。

【図9】図3のMOSトランジスタの製造方法を示す工程断面図である。

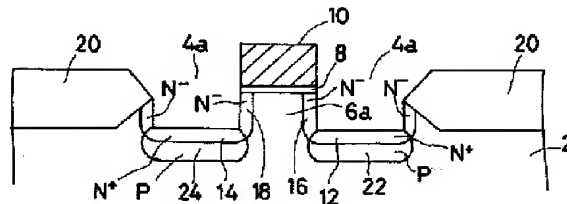
【符号の説明】

- 2 シリコン基板
- 4, 4a 凹部
- 6, 6a 隆起部
- 8 ゲート酸化膜
- 10 ゲート電極
- 12, 14 高濃度ソース・ドレイン領域
- 16, 18 低濃度ソース・ドレイン領域
- 22, 24, 26 基板と同じ導電型の不純物拡散領域
- 28 フォトレジストパターン
- 30 絶縁膜の側壁

【図1】

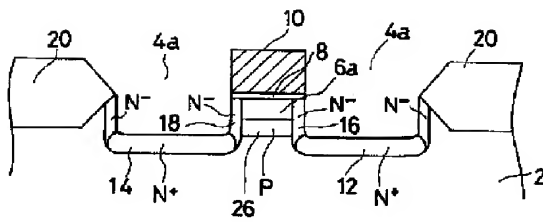


【図2】

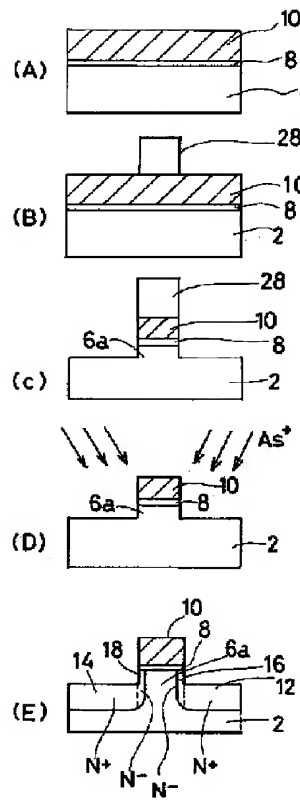




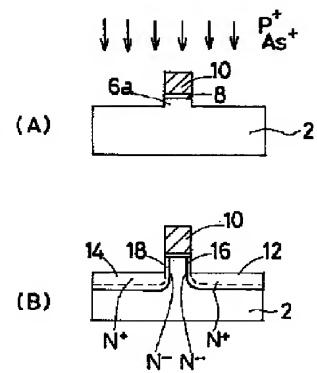
【図3】



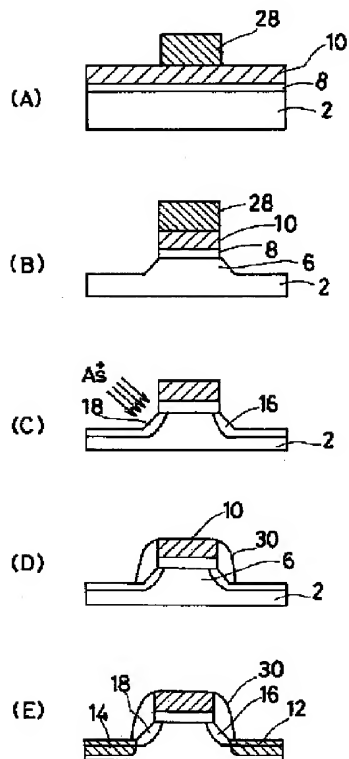
【図4】



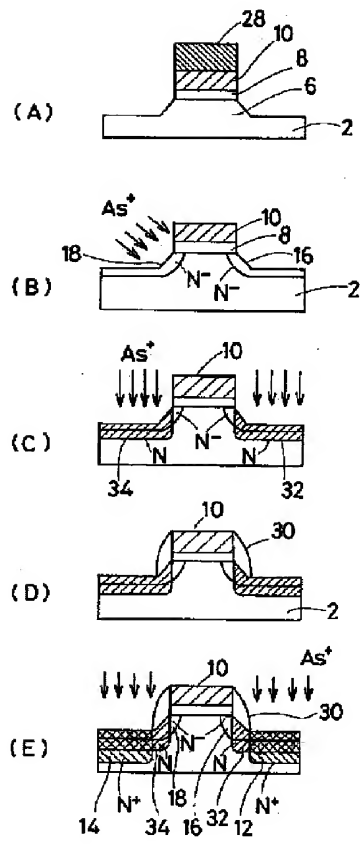
【図5】



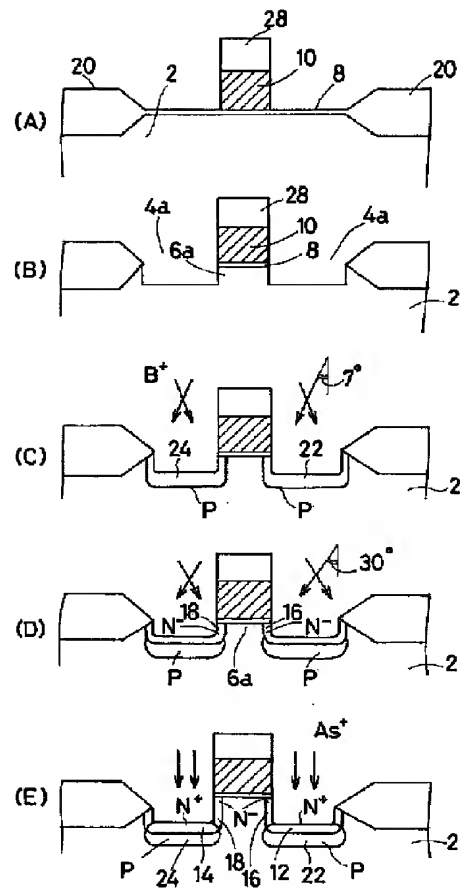
【図6】



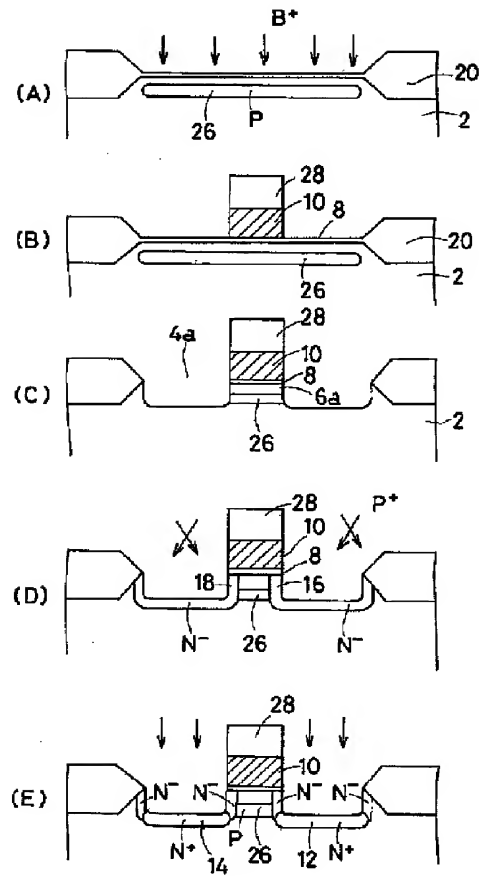
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 塩尻 和也  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内